



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000003176 (43) Publication.Date. 20000115

(21) Application No.1019980024342 (22) Application Date. 19980626

(51) IPC Code:

H01L 21/24

(71) Applicant:

HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:

CHOI, DO HYEON

HWANG, JEONG TAE

KANG, SIN GYU

(30) Priority:

(54) Title of Invention

METHOD OF FORMING POLYSILICON LAYER OF POLYSILICON THIN FILM TRANSISTOR

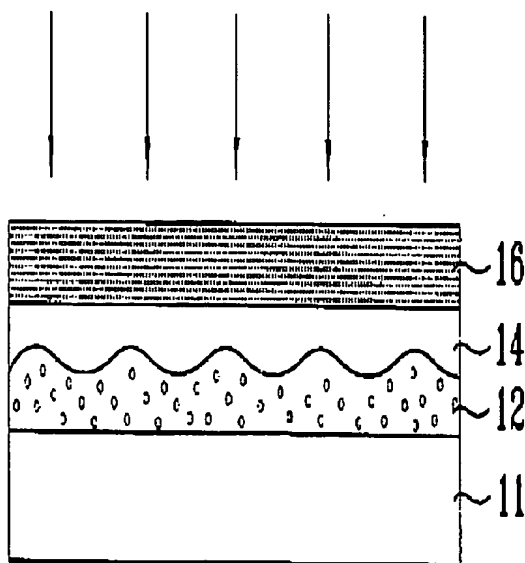
Representative drawing

(57) Abstract:

PURPOSE: The method increases the mobility of a polysilicon layer.

CONSTITUTION: The method comprises the steps of: forming a first buffer layer(12) of low thermal conductivity on a glass substrate (11); forming a second buffer layer (14) of an insulation film such as SiO₂, SiON or Si₃N₄; planarizing the second buffer layer; forming an amorphous silicon layer on the planarized second buffer layer; performing the dehydrogenation process as to the amorphous silicon layer; and performing the crystallization process as to the amorphous silicon layer.

COPYRIGHT 2000 KIPO



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. ⁸

H01L 21 /24

(11) 공개번호

특2000-0003176

(43) 공개일자

2000년01월15일

(21) 출원번호 10-1998-0024342

(22) 출원일자 1998년06월26일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자

경기도 이천시 부발읍 아미리 산 136-1

최도현

서울특별시 구로구 고척1동 52-332 한호아파트 2-408

황정태

경기도 이천시 증포동 대우아파트 102동 1601호

강신규

(74) 대리인

서울특별시 강남구 논현동 219-27

최홍순

심사청구 : 없음

(54) 폴리실리콘 박막 트랜지스터의 폴리실리콘층형성방법

요약

본 발명은 폴리실리콘 박막 트랜지스터에 관한 것으로, 보다 상세하게는, 폴리실리콘층의 이동도를 향상시킬 수 있는 폴리실리콘 박막 트랜지스터 폴리실리콘층 형성방법에 관한 것이다. 본 발명의 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법은 유리기판 상에 열전도도가 낮은 물질로된 제1버퍼층을 형성하는 단계; 상기 제1버퍼층 상에 Si_3N_4 , 또는 Si_3N_4 의 절연막으로된 제2버퍼층을 형성하는 단계; 상기 제2버퍼층을 평탄화시키는 단계; 상기 평탄화된 제2버퍼층 상에 비정질실리콘층을 형성하는 단계; 상기 비정질실리콘층에 대한 탈수소 공정을 실시하는 단계; 및 상기 탈수소 공정이 실시된 비정질실리콘층에 대한 결정화 공정을 실시하는 단계로 이루어진 것을 특징으로 한다.

대표도

도2b

영세서

도면의 간단한 설명

도 1a 및 도 1b 는 종래 기술에 따른 폴리실리콘층 형성방법을 설명하기 위한 공정 단면도.

도 2a 및 도 2b 는 본 발명의 실시예에 따른 폴리실리콘층 형성방법을 설명하기 위한 공정 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11 : 유리기판 12 : 제1버퍼층
14 : 제2버퍼층 16 : 폴리실리콘층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 폴리실리콘 박막 트랜지스터에 관한 것으로, 보다 상세하게는, 폴리실리콘층의 이동도를 향상시킬 수 있는 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법에 관한 것이다.

일반적으로, 텔레비전 및 그래픽 디스플레이 등에 이용되는 액정표시소자(Liquid Crystal Display : 이하, LCD)는 CRT(Cathod Ray Tube)를 대신하여 개발되어져 왔다. 특히, 매트릭스 형태로 배열된 각 화소에 박막 트랜지스터(Thin Film Transistor : 이하, TFT)가 구비되는 TFT LCD는 고속 응답 특성을 갖는 잇점과 높은 화소수에 적합하다는 잇점 때문에 CRT에 필적할만한 화면의 고화질화 및 대형화, 컬러화 등을 실현하는데 크게 기여하고 있다.

상기한 TFT LCD는 통상 TFT 어레이가 형성된 하부기판과, 컬러필터가 형성된 상부기판, 및 상·하부기판 사이에 개재되는 액정을 포함하여 이루어지며, 이러한 TFT LCD는 구동 드라이브 IC 및 회로기판과 연결되어 TFT LCD 모듈로서 제작된다.

한편, 종래 TFT는 그의 반도체층으로서 도핑되지 않은 비정질실리콘층이 이용되고 있는 반면에, 구동 드라이브 IC는 폴리실리콘층이 반도체층으로 이용되고 있다. 따라서, 종래에는 TFT LCD 모듈을 제작하기 위해서 별도의 공정을 각각 진행하여 TFT LCD 및 구동 드라이브 IC를 각각 제조하고, 이후, 이들을 연결하여 상기한 TFT LCD 모듈을 제작하고 있기 때문에 제조공정이 복잡하며, 아울러, 집적도 면에서도 바람직하지 못한 문제점이 있었다.

따라서, 최근에는 상기한 문제를 해결하기 위하여 TFT의 반도체층을 폴리실리콘층으로 형성하는 방법이 진행되고 있으며, 이에 따라, TFT 및 구동 드라이브 IC는 동일한 기판에 동시에 형성됨으로써 제조 공정의 단순화를 얻을 수 있음을 물론 집적도 면에서도 상당한 향상을 보이고 있다.

이하, 도 1a 및 도 1b를 참조하여 종래 기술에 따른 폴리실리콘 TFT의 폴리실리콘층 형성방법을 설명하면 다음과 같다.

먼저, 도 1a 에 도시된 바와 같이, 유리기판(1) 전면에 SiC , $SiON$, 또는 Si_3N_4 으로된 버퍼층(2)을 형성하고, 이어서, 상기 버퍼층(2) 상에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 방식으로 비정질실리콘층(4)을 형성한다. 그런 다음, 비정질실리콘층(4) 내에 다량으로 함유되어 있는 수소를 제거하기 위하여 탈수소 공정을 실시한다.

상기에서, 비정질실리콘층(4)에 함유된 수소는 그 양이 많을 경우에는 이후에 실시되는 열공정시에 터징이 발생되어 실리콘의 막질을 손상시키게 된다. 반면에, 이러한 수소는 캐리어로서의 역할을 하기 때문에 없어서도 안된다. 따라서, 종래

탈수소 공정에서는 공정 파라미터를 적절하게 조절하여 비정질실리콘층에 함유되는 수소의 양이 2% 이하가 되도록 한다.

다음으로, 도 1b 에 도시된 바와 같이, 비정질실리콘층의 실리콘 분자들간에 재결합이 일어날 수 있도록 엑시머 레이저(Excimer Laser)를 이용하여 상기 비정질실리콘층에 대한 결정화 공정을 수행한다. 이 결과, 비정질실리콘층은 폴리실리콘층(4A)으로 변경된다.

발명이 이루고자하는 기술적 과제

그러나, 상기와 같은 종래 폴리실리콘층의 형성방법은, 결정화 공정을 통해 비정질실리콘층을 폴리실리콘층으로 변경시킬 수는 있으나, 상기한 방법에 의해 형성된 폴리실리콘층의 이동도가 매우 낮은 문제점이 있었다.

자세하게, 폴리실리콘층의 이동도는 결정립의 크기에 따라 좌우되며, 이때, 결정립의 크기가 클수록 폴리실리콘층의 이동도는 우수하게 된다. 그런데, 폴리실리콘층의 결정립의 크기를 크게 하기 위해서는 엑시머 레이저를 이용한 결정화 공정 시에 비정질실리콘층에 레이저가 조사(Scanning)되는 것에 의해 상기 비정질실리콘층 내에 발생된 열이 일정 시간 동안 유지되어야 하는데, 비정질실리콘층 내에 발생된 열이 그의 외부, 특히, 유리기판으로 급속히 전달되는 것으로 인하여, 비정질실리콘층 내에 충분한 열이 유지되지 못하게 된다. 따라서, 결정립 성장은 충분하게 일어나지 못하게 되며, 이 결과, 결정립의 크기가 작은 것에 기인하여 폴리실리콘층의 이동도는 불량하게 된다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 폴리실리콘층의 이동도를 향상시킬 수 있는 폴리실리콘 TFT의 폴리실리콘층 형성방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법은, 유리기판 상에 열전도도가 낮은 물질로된 제1버퍼층을 형성하는 단계; 상기 제1버퍼층 상에 Si_2 , SiON , 또는 Si_3N_4 의 절연막으로된 제2버퍼층을 형성하는 단계; 상기 제2버퍼층을 평탄화시키는 단계; 상기 평탄화된 제2버퍼층 상에 비정질실리콘층을 형성하는 단계; 상기 비정질실리콘층에 대한 탈수소 공정을 실시하는 단계; 및 상기 탈수소 공정이 실시된 비정질실리콘층에 대한 결정화 공정을 실시하는 단계로 이루어진 것을 특징으로 한다.

본 발명에 따르면, 비정질실리콘층과 유리기판 사이에 열전도도가 낮은 물질로된 버퍼층을 개재시킴으로써, 결정화 공정 시에 비정질실리콘층 내에 발생된 열이 유리기판으로 급속히 전달되는 것을 방지할 수 있기 때문에 폴리실리콘층의 결정립 성장이 충분히 일어날 수 있게 할 수 있으며, 이 결과, 폴리실리콘층의 이동도를 향상시킬 수 있다.

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2a 및 도 2b는 본 발명의 실시예에 따른 폴리실리콘 TFT의 폴리실리콘층 형성방법을 설명하기 위한 공정 단면도이다.

먼저, 도 2a 에 도시된 바와 같이, 유리기판(11) 상에 극저의 열전도도를 나타내는 다공성 실리카(Porous Silica)를 스�핀 코팅 방식으로 증착하고, 이를 건조하여 제1버퍼층(12)을 형성한다. 여기서, 제1버퍼층(12)은 유리기판(11) 상에 다공성 실리카를 스�핀 코팅한 후에 오토클레이브 내에서 초임계 건조하여 형성하거나, 또는, 상압하에서 건조하여 형성하며, 다른 방법으로서, 다공성 실리카를 유리기판(11) 상에 스�핀 코팅한 후에 상기 다공성 실리카의 표면개질을 실시하고, 이어서, 상압하에서 건조하여 형성한다.

그런 다음, 상기 제1버퍼층(12) 상에 SiO_2 , SiON , 또는 Si_3N_4 으로된 절연막을 화학기상증착법(Cheical Vapor Deposition) 또는 물리기상증착법(Physical Vapor Deposition)으로 증착하여 제2버퍼층(14)을 형성한다.

이어서, 도 2b에 도시된 바와 같이, 다공성 실리카의 다공 구조에 기인하여 발생되는 제2버퍼층 상부 표면의 낮은 평탄도

를 극복하기 위하여 CMP(Chemical Mechanical Polishing) 방식으로 상기 제2버퍼층(14)의 상부 표면을 평탄화시킨다. 그리고 나서, 평탄화가 달성된 제2버퍼층(14) 상에 PECVD 방식으로 비정질실리콘층을 증착한 후, 탈수소 공정을 실시하고, 이어서, ELA를 이용한 결정화 공정을 실시한다.

이때, 다공성 실리카로된 제1버퍼층(12)은 극저의 열전도도를 나타내기 때문에, 레이저를 조사하는 것에 의해 비정질실리콘층에 가해진 열은 상기 제1버퍼층(12)의 개재로 인하여 유리기판쪽으로 느리게 전달되며, 이에 따라, 비정질실리콘층 내에서 발생한 열은 종래 보다는 오랜 시간 동안 상기 비정질실리콘층 내에 잔류된다.

따라서, 폴리실리콘층의 충분한 결정립 성장이 이루어지게 되며, 결과적으로는, 거대 결정립을 갖는 폴리실리콘층이 형성되어 폴리실리콘층의 이동도는 향상된다.

발명의 효과

이상에서와 같이, 본 발명은 비정질실리콘층과 유리기판 사이에 개재되는 버퍼층을 2층 구조로 가져가되, 유리기판과 콘택되는 제1버퍼층을 극저의 열전도도를 나타내는 다공성 실리카로 형성함으로써, 엑시머 레이저를 이용한 결정화 공정시에 폴리실리콘층의 충분한 결정립 성장이 이루어질 수 있게 할 수 있으며, 이에 따라, 폴리실리콘층의 이동도를 향상시킬 수 있게 된다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1. 유리기판 상에 열전도도가 낮은 물질로된 제1버퍼층을 형성하는 단계;

상기 제1버퍼층 상에 SiO_2 , SiON , 또는 Si_3N_4 의 절연막으로된 제2버퍼층을 형성하는 단계;

상기 제2버퍼층을 평탄화시키는 단계;

상기 평탄화된 제2버퍼층 상에 비정질실리콘층을 형성하는 단계;

상기 비정질실리콘층에 대한 탈수소 공정을 실시하는 단계; 및

상기 탈수소 공정이 실시된 비정질실리콘층에 대한 결정화 공정을 실시하는 단계로 이루어진 것을 특징으로 하는 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법.

청구항 2. 제 1 항에 있어서, 상기 제1버퍼층은 다공성 실리카(Porous Silica)로 이루어진 것을 특징으로 하는 폴리실리콘층 형성방법.

청구항 3. 제 2 항에 있어서, 상기 제1버퍼층은 유리기판 상에 다공성 실리카를 스�핀 코팅한 후에 오토클레이브 내에서 초임계 건조하여 형성하거나, 또는, 상압하에서 건조하여 형성하는 것을 특징으로 하는 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법.

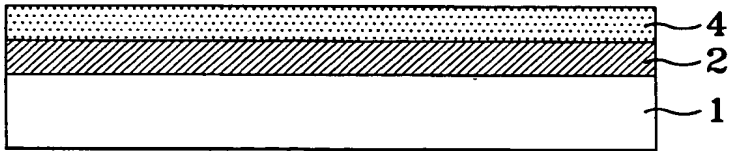
청구항 4. 제 2 항에 있어서, 상기 제1버퍼층은 유리기판 상에 다공성 실리카를 스�핀 코팅한 후에 상기 다공성 실리

카의 표면개질을 실시한 후에 상압하에서 건조하여 형성하는 것을 특징으로 하는 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법.

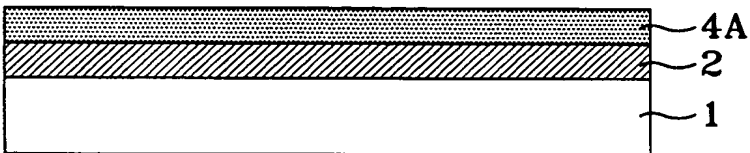
청구항 5. 제 1 항에 있어서, 상기 제2버퍼층의 평탄화는 CMP(Chemical Mechanical Polishing) 방식으로 실시하는 것을 특징으로 하는 폴리실리콘 박막 트랜지스터의 폴리실리콘층 형성방법.

도면

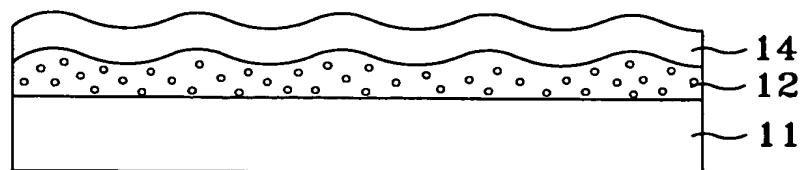
도면 1a



도면 1b



도면 2a



도면 2b

